

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-342598

(43)Date of publication of application : 13.12.1994

(51)Int.CI. G11C 16/06
H01L 27/115

(21)Application number : 06-066108

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 04.04.1994

(72)Inventor : TAURA TADAYUKI

(30)Priority

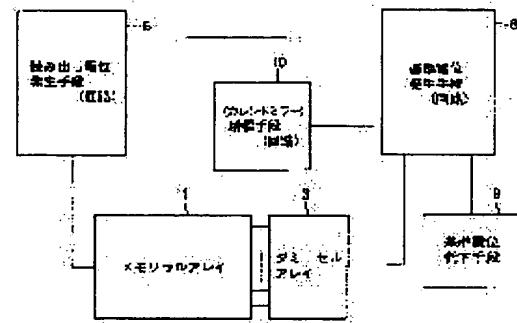
Priority number : 05 80651 Priority date : 07.04.1993 Priority country : JP

(54) NONVOLATILE SEMICONDUCTOR MEMORY

(57)Abstract:

PURPOSE: To prevent increase in a chip area and to speed up a reading operation while changing from a standby condition to an operating condition by eliminating an equalizing circuit and providing a reference potential lowering means.

CONSTITUTION: Memory cells, which consist of nonvolatile transistors, are arranged in a matrix form in a memory cell array 1 and the dummy cell of a dummy cell array 3 has a transistor construction. A reading potential generating means 6 applies a prescribed potential to a selected memory cell and generates a reading potential corresponding to the data stored in the memory cell based on the current that flows in the memory cell. A reference potential generating means 8 applies a prescribed potential to the dummy cell of the dummy cell array 3 and generates a reference potential based on the current which flows in the dummy cell. A reference potential lowering means 9 lowers the reference potential for a constant duration when a prescribed time is elapsed after a standby condition is changed to an operating condition. An amplifying means 10 compares the reading out potential with the reference potential, amplifies the output which corresponds to the result of the comparison and outputs the signal.



LEGAL STATUS

[Date of request for examination] 11.06.1997

[Date of sending the examiner's decision of rejection] 17.04.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

【特許請求の範囲】

[請求項1] 不揮発性トランジスタからなるメモリセルが行列状に配列されたメモリセルアレイと、トランジスタ構造をもつタミーセルと、選択されたメモリセルに所定の相位を与え、このメモリセルに流れる電流に基づいて前記メモリセルに記憶されているデータに対応する読み出し電位を発生する読み出し手段と、前記タミーセルに所定の電位を与え、このタミーセルに流れる電流に基づいて基準電位を発生する基準電位発生手段と、手順状態から動作状態に変化してから第1の所定時間経過するまでの間に前記基準電位を低下させる基準電位低下手段と、

待機状態から動作状態に変化してから第2の所定時間が経過した後に、前記相位と前記基準電位を比較し、その比較結果に基づいた山力を増幅して出力する増幅手段と、前記タミーセルに所定の電位を与え、このタミーセルに流れる電流に基づいて基準電位を発生する基準電位発生手段と、

[請求項2] 前記タミーセルは、前記メモリセルアレイの各行毎に設けられる不揮発性トランジスタが列状に配列されたタミーセルアレイを有することを特徴とする請求項1に記載の不揮発性半導体記憶装置。

[請求項3] 前記増幅手段は、前記待機状態から動作状態に変化してから所定時間経過後、更に所定時間経過後に動作状態にすることを特徴とする請求項1に記載の不揮発性半導体記憶装置。

[請求項4] 不揮発性トランジスタからなるメモリセルが行列状に配列されたメモリセルアレイと、

トランジスタ構造をもつタミーセルと、選択されたメモリセルに所定の相位を与え、このメモリセルに流れる電流に基づいて前記メモリセルに記憶されているデータに対応する読み出し電位を発生する読み出し手段と、前記タミーセルに所定の電位を与え、このタミーセルに流れる電流に基づいて基準電位を発生する基準電位発生手段と、

待機状態から動作状態に変化してから第1の所定時間経過するまでの間に前記相位と前記基準電位を比較し、その比較結果に基づいた山力を増幅して出力する増幅手段と、

[発明の詳細な説明]

[請求項1] 前記第1の所定時間と前記第2の所定時間とが同一であることを特徴とする請求項1、請求項3および請求項の何れかに記載の不揮発性半導体記憶装置。
[発明の詳細な説明]

[請求項2] 前記第1の所定時間と前記第2の所定時間とが同一であることを特徴とする請求項1、請求項3および請求項の何れかに記載の不揮発性半導体記憶装置。
[発明の詳細な説明]

[請求項3] 前記第1の所定時間と前記第2の所定時間とが同一であることを特徴とする請求項1、請求項4と、

基準電位発生手段と、読み出し電位発生手段と、

所定時間と、所定時間と、選択されたメモリセルに所定の相位を与え、このメモリセルに流れる電流に基づいて基準電位を発生する基準電位発生手段と、待機状態から動作状態に変化してから所定時間経過した時に基準電位を一定時間低下させる基準電位低下手段と、読み出し電位と基準電位とを比較し、その比較結果に基づいた山力を増幅して出力する増幅手段と、前記タミーセルに所定の電位を与え、このタミーセルに流れる電流に基づいて基準電位を発生する基準電位発生手段と、手順状態から動作状態に変化してから第1の所定時間経過するまでの間に読み出し電位を急速に光電する読み出し電位初開光電手段と、

所定時間と、所定時間と、選択されたメモリセルに所定の相位を与え、このメモリセルに流れる電流に基づいて前記メモリセルに記憶される読み出し電位を発生する読み出し手段と、前記タミーセルに所定の電位を与え、このタミーセルに流れる電流に基づいて基準電位を発生する基準電位発生手段と、手順状態から動作状態に変化してから第2の所定時間経過した後に、前記相位と前記基準電位を比較し、その比較結果に基づいた山力を増幅して出力する増幅手段と、前記タミーセルに所定の電位を与え、このタミーセルに流れる電流に基づいて基準電位を発生する基準電位発生手段と、

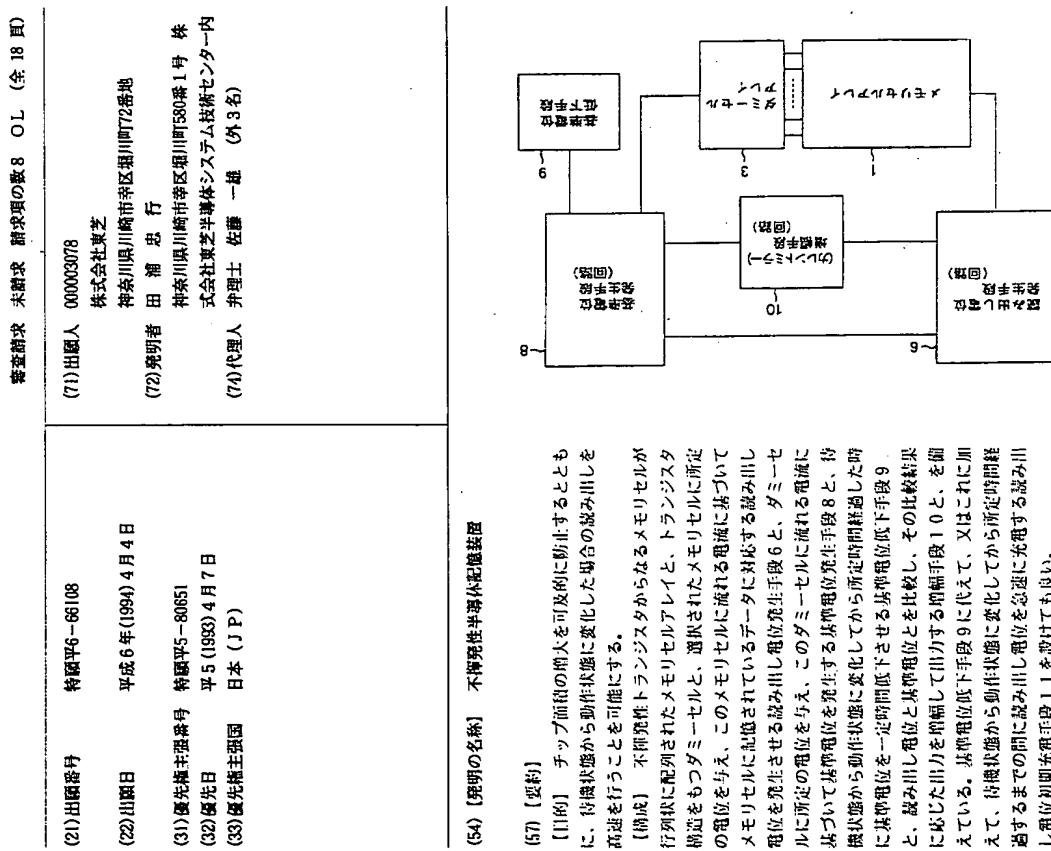
[請求項4] 前記メモリセルアレイは、前記待機状態から動作状態に変化してから第1の所定時間経過するまでの間に前記基準電位を低下させる基準電位低下手段と、

待機状態から動作状態に変化してから第2の所定時間経過するまでの間に前記読み出し電位を急速に光電する読み出し手段と、前記タミーセルに所定の電位を与え、このタミーセルに流れる電流に基づいて基準電位を発生する基準電位発生手段と、手順状態から動作状態に変化してから第3の所定時間経過した後に、前記相位と前記基準電位を比較し、その比較結果に基づいた山力を増幅して出力する増幅手段と、前記タミーセルに所定の電位を与え、このタミーセルに流れる電流に基づいて基準電位を発生する基準電位発生手段と、

[請求項5] 前記メモリセルアレイと、タミーセルと、読み出し手段と、

所定時間と、所定時間と、選択されたメモリセルに所定の相位を与え、このメモリセルに流れる電流に基づいて基準電位を発生する基準電位発生手段と、待機状態から動作状態に変化してから所定時間経過した時に基準電位を一定時間低下させる基準電位低下手段と、読み出し電位と基準電位とを比較し、その比較結果に基づいた山力を増幅して出力する増幅手段と、前記タミーセルに所定の電位を与え、このタミーセルに流れる電流に基づいて基準電位を発生する基準電位発生手段と、手順状態から動作状態に変化してから第1の所定時間経過するまでの間に読み出し電位を急速に光電する読み出し電位初開光電手段と、

所定時間と、所定時間と、選択されたメモリセルに所定の相位を与え、このメモリセルに流れる電流に基づいて前記メモリセルに記憶される読み出し電位を発生する読み出し手段と、前記タミーセルに所定の電位を与え、このタミーセルに流れる電流に基づいて基準電位を発生する基準電位発生手段と、手順状態から動作状態に変化してから第2の所定時間経過した後に、前記相位と前記基準電位を比較し、その比較結果に基づいた山力を増幅して出力する増幅手段と、前記タミーセルに所定の電位を与え、このタミーセルに流れる電流に基づいて基準電位を発生する基準電位発生手段と、



くは“0”データが読み込まれる。

くは“0”データが読み出される。
[0 0 0 3] 電気的にデータの前書きを行うEEPROM のメモリセルとして使用される不揮発性トランジスタのパターン・平面図を図14(a)に示し、図14(a)に示すヘア-エットで切断した断面図を図14(b)に示す。

ンジスタN3、N7は、メモリセルのドレイン電位を最適な値、例えば1Vとなるようにして保つ。選択されたメモリセルのデータに応じた読み出し電位V_SをノードND2からカレントミラー増幅回路10に送り出す。なお、トランジスタD4はノードND2の負荷トランジスタと

[0004]このトランジスタは、2層の多結晶シリコンにより構成され、第1層目の多結晶シリコン層により電界ゲート2.1が形成され、第2層目の多結晶シリコン層により制御ゲート2.3が形成されている。また、図14(a)及び図14(b)において、2.4はソース、2.5はドレイン、2.7はシリコン基板、2.2はコントラクトホール、2.8はアルミニウム(H1)で形成されたデータ線であり、コントラクトホール2.2を通じて、ドレインにおけるデータの書き込み、読み出し及び消去動作を以下に簡便に説明する。

[0005]書き込み動作は、ドレン電位を8V、制

ンジスタN3、N7は、メモセルのドライン電位を最適な値、例えば1Vとなるように保つ、選択されたメモリセルのデータに応じた読み出し電位VsをノードND2からカレントミラー增幅回路10に送出する。なお、トランジスタP4はノードND2の負荷トランジスタとD2に接続され、トランジスタP23のゲート位VRが付力されるノードND4に接続されるトランジスタN24のドラインはトランジスタN2のドラインに接続され、ソースは基板である。又、インバータINV1、INV2、INV3

[0004] このトランジスタは、2層の多結晶シリコ
ン構造で形成され、第1層目の多結晶シリコン層により
電界ゲート2.1が構成され、第2層目の多結晶シリコン
層により制御ゲート2.3が構成されている。また、図1
4 (a) 及び図14 (b)において、2.4はソース、2
5はドレイン、2.7はシリコン基板、2.2はコンタクト
ホール、2.8はアルミニウム (Al) で形成されたテー
クノロジーであり、コンタクトホール2.2を通して、ドレイン
2.5に接続されている。このような構造のメモリセルに
おけるデータの書き込みや読み出し及び消去動作を以下
に簡便に説明する。

[0005] 書き込み動作は、ドレイン電位を8V、制
動電圧V_Gが付加され、トランジスタN1、N2、N
3、N4、N5、N6、N7、N8
1～N2 4はNチャネルエンハンスマントランジスタ
であり、1.1～1.2は努ボルト (V) 汎用のしきい值
を行するNチャネル型トランジスタである。同間におい
て、読み出し電位発生回路6は、前例に接続されたトラン
ジスタP1、D1、I1と、トランジスタN1と、並
列に接続されたトランジスタP2、D2、I2と、トラン
ジスタN2、N3、N4、N5、N6、N7、N8
と、前例に接続されたトランジスタP3、P4とを備え
ている。トランジスタP1、P2、P3のソースには駆
動電圧V_Gが付加され、トランジスタN1、N2、N

4. N6, N8, I1, I2 のソースは接続されている。トランジスタD1のゲートはトランジスタD1とトランジスタI1の接続点に接続されている。トランジスタN1のドレインはトランジスタD1とI1の接続点に接続されている。トランジスタD2のゲートはトランジスタD2とI2の接続点に接続されている。トランジスタN2のドレインはトランジスタD2とI2の接続点に接続されている。トランジスタN3のドレインには電動モーターVcが印加され、ゲートはトランジスタD1とI1との接続点に接続され、ソースはノードND1に接続される。トランジスタN4のドレインはノードND1に接続される。トランジスタN4のドレインはノードND1に接続され、ゲートに供給されるリーケ制御信号SCLによりデータ“0”を貯蔵する。データ貯蔵回路はノードND1に接続する。トランジスタN5はドレインがノードND1に接続され、ソースが読み込み電位を有する回路と接続される。このとき、滑りゲート中のエレクトロニクスではソース、ドレイン間にセル電流がほとんど流れず、記憶データが“0”(静止状態)ではソース、ドレイン間に0.1V以上の漏電流が流れている。

[0006] 静止動作は、制御ゲート電位を0V、ドレイン電位を0V、ソース電位を0.006V、滑りゲート電位を0V、ドレイン電位を0V、ソース電位、例えば12Vを印加する。このとき、滑りゲート中のエレクトロニクスは、トランジスタN5はドレインがノードND1に接続され、ソースが読み込み電位を有する回路と接続される。この間に蓄積されたトランジスタアレーIのデータがオンする。トランジスタN6のドレインはノードND1に接続され、トランジスタN8のドレインはノードND2に接続される。このノードND2はトランジスタP7を介してノードND1に接続されている。トランジスタP3のソースに駆動電圧VCCが印加され、トランジスタP4のゲートおよびドレインはノードND2に接続されている。又、トランジスタP1, P2, P3, N1, N2, N6、およびN8の各ゲートにはデータ読み出し時に接続される。

[0007] このような不揮発性メモリセル及びセンサアンプを含む從來の不揮発性半導体記憶装置の全体構成を図15を用いて説明する。図15において、記憶装置は、多數のメモリセルがマトリックス状に配置されたメモリセルアレイIと、このメモリセルアレイIの外側に1列に複数個設けられたメモリセルと同一の構造を行き来するダミーセルアレイI3と、データ読み出し回路の際に選択されたメモリセルに対する電位を印加すると共に同時に選択されたメモリセルのセル電流に応じた読み込み電位を発生させる基板電位発生回路6と、データ読み込み回路の際に選択されたダミーセルのドレインに接続するデータ読み出し回路7と、前記読み出し回路の所定のトランジスタ電位を供給すると共に、データ読み出し回路7の基板電位発生回路8と、前記読み込み回路I3及び基板電位発生回路6及び8の対応するノードをイコライズするイコライズ回路9と、前記読み出し回路の電位発生回路6より供給される前記読み出し回路と前記

[0008] 基板電位発生回路8より供給される前記基板電位とを比較して選択されたメモリセルのデータに応じた電位を出力する力回路(図示されず)に送出するカレントミラ型増幅

D₂に接続され、トランジスタP₂のゲートは基板電位VRが引かれるノードND₄に接続されている。トランジスタN₂のドレインはトランジスタP₂およびN₂のドレンに接続され、ソースは絶縁されており、X₁、インバータIV₁、IV₂、IV₃は直列に接続される。

電位 V_S よび電極相位 VR は、上記活動対のトランジスタ P 2 および P 3 に各自供給され、その値の大小により出力 DB が回路 1 に送り出される。この出力 D_B は、「0」データが読み出される場合には「1」となり、「1」データが読み出される場合には「0」となる。

[0015] なお、ノード ND1 とノード ND3 はトランジスタ N 2 0 によって接続され、ノード ND2 とノード ND4 はトランジスタ P 2 0 および N 2 1 からなるトランジスタアーテートによって接続されており、これらのトランジスタがイコライズ回路 7 を構成している。このイコライズ回路 7 は、トランジスタ N 2 0 より成りノード ND1 とノード ND3 をイコライズする第1のコラ iz 部と、トランジスタ N 2 1、P 2 0 より成りノード ND2 とノード ND4 をイコライズする第2のコラ iz 部とを備えている。

[0016] 且、このような半導体記憶装置においては、通常、読み出しを行っていない待機状態の時は、待機電力を抑えるために、待機時に「H」となる第1の外部制御信号 S₁ が、読み出し電位発生回路 6 のトランジスタ N 1、N 2、N 6、N 8 のゲートおよび基板電位発生回路 8 のトランジスタ N 1、N 2、N 16、N 1、N 8 のゲートに与えられる、各ノード ND1、ND2、ND3、ND4 を接続する。この時、カレントミラー型制御回路 10 のトランジスタ P 2 1、N 2 4 のゲートおよびトランジスタ N 2 0、N 2 1 のゲートに与えられている第2の信号の反転信号 * S₂ は「H」レベルになつており、トランジスタ P 2 0 のゲートに与えられる第2の制御信号 S₂ は「L」レベルとなつている。

[0017] 待機状態から読み出しが状態に遷移した場合の各信号 * C_E、S₁、WL、* S₂、D_B、V_S、VR の変化を図 17 に示す。图 17 において外部部からのチップインターフェース信号 * C_Eを受けて、第1の制御信号 S₁ が「H」から「L」に変化することにより読み出し電位発生回路 6 および電位発生回路 8 は動作状態となり、カレントミラー型制御回路 1 0 より示ししない出力回路にデータ D_B が取出される。エワードラインの電位 W_R はメモリセルの容積により立ち上がりに時間かかるか、り、この開閉正常な読み出しができない。一方、選択されただデータ線には、トランジスタ P 4 からドライン電位が流れモリセルのデータに依らず取出されるで電流が流れ、読み出し電位 V_S のレベルは低レベルとなる。同時に D_B はデータ線 D_L R が初期充電される。上述したよ

ンジスタN3、N7は、メモリセルのドレイン電位を最適な値、例えば1Vとなるようにして保つ。選択されたメモリセルのデータに応じた読み出し電位V_SをノードND2からカレントミラー増幅回路10に送り出す。なお、トランジスタD4はノードND2の負荷トランジスタと

[0004] このトランジスタは、2 層の多結晶シリコ
ン構造で形成され、第 1 層目の多結晶シリコン層により
電界ゲート 2.1 が構成され、第 2 層目の多結晶シリコン
層により制御ゲート 2.3 が構成されている。また、図 1
4 (a) 及び図 14 (b)において、2.4 はソース、2
5 はドレイン、2.7 はシリコン基板、2.2 はコントクト
ホール、2.8 はアルミニウム (Al) で形成されたテー
クノロジーであり、コントクトホール 2.2 を通して、ドレイン
2.5 に接続されている。このような構造のメモリセルに
おけるデータの書き込みや読み出し及び消去動作を以下
に簡便に説明する。

[0005] 書き込み動作は、ドレイン電位を 8V、制
動電圧 V_Gが付加され、トランジスタ N1、N2、N
ルエンハンスマントトランジスタであり、D1～D12
は N チャネルディバイドショントランジスタであり、N
1～N24 は N チャネルエンハンスマントトランジスタ
であり、I1～I12 は努ボルト (V) 汎用のしきい值
を行する N チャネル型トランジスタである。同間におい
て、読み出し電位発生回路 6 は、前例に接続されたトラン
ジスタ P1、D1、I1 と、トランジスタ N1 と、並
列に接続されたトランジスタ P2、D2、I2 と、トラン
ジスタ N2、N3、N4、N5、N6、N7、N8
と、前例に接続されたトランジスタ P3、P4 を備え
ている。トランジスタ P1、P2、P3 のソースには駆
動電圧 V_Gが付加され、トランジスタ N1、N2、N

4. N6, N8, I1, I2 のソースは接続されている。トランジスタD1のゲートはトランジスタD1とトランジスタI1の接続点に接続されている。トランジスタN1のドレインはトランジスタD1とI1の接続点に接続されている。トランジスタD2のゲートはトランジスタD2とI2の接続点に接続されている。トランジスタN2のドレインはトランジスタD2とI2の接続点に接続されている。トランジスタN3のドレインには電動モーターVcが印加され、ゲートはトランジスタD1とI1との接続点に接続され、ソースはノードND1に接続される。トランジスタN4のドレインはノードND1に接続される。トランジスタN4のドレインはノードND1に接続され、ゲートに供給されるリーケ制御信号SCLによりデータ“0”を貯蔵する。データ貯蔵回路はノードND1に接続する。トランジスタN5はドレインがノードND1に接続され、ソースが読み込み電位を有する回路と接続される。このとき、滑りゲート中のエレクトロニクスではソース、ドレイン間にセル電流がほとんど流れず、記憶データが“0”(静止状態)ではソース、ドレイン間に0.1V以上の漏電流が流れている。

[0006] 静止動作は、制御ゲート電位を0V、ドレイン電位を0V、ソース電位を0.006V、滑りゲート電位を0V、ドレイン電位を0V、ソース電位、例えば12Vを印加する。このとき、滑りゲート中のエレクトロニクスは、トランジスタN5はドレインがノードND1に接続され、ソースが読み込み電位を有する回路と接続される。この間に蓄積されたトランジスタアレーIのデータがオンする。トランジスタN6のドレインはノードND1に接続され、トランジスタN8のドレインはノードND2に接続される。このノードND2はトランジスタP7を介してノードND1に接続されている。トランジスタP3のソースに駆動電圧VCCが印加され、トランジスタP4のゲートおよびドレインはノードND2に接続されている。又、トランジスタP1, P2, P3, N1, N2, N6、およびN8の各ゲートにはデータ読み出し時に接続される。

[0007] このような不揮発性メモリセル及びセンサアンプを含む從来の不揮発性半導体記憶装置の全体構成を図15を用いて説明する。図15において、記憶装置は、多數のメモリセルがマトリックス状に配置されたメモリセルアレイIと、このメモリセルアレイIの外側に1列に複数個設けられたメモリセルと同一の構造を行き来するダミーセルアレイI3と、データ読み出し回路の際に選択されたメモリセルに所定の電位を印加すると共に同時に選択されたメモリセルのセル電流に応じた読み込み電位を発生させる基板電位発生回路6と、データ読み込み回路の際に選択されたダミーセルのドレインに接続される。

[0008] トランジスタN5のゲートに所定のトランジスタアレーの電位を供給するとと共に、データ読み出し回路の基板電位を発生させる基板電位発生回路8と、前記ダミーセルアレー読み込み回路及び基板電位発生回路6及び8の対応するノードをイコライズするイコライズ回路7と、前記読み出し回路6より供給される前記読み込み電位と前記ダミーセルアレーの電位を印加する。

[0009] 上記読み込み電位発生回路6内の、トランジスタP1, D1, I1からなる低電圧路およびトランジスタP2, D2, I2からなる高電圧路ならびにトランジスタN5のゲートには、第3の制御信号*S3が供給される。

[0010] 上記読み込み電位発生回路7内の、トランジスタP1, D1, I1からなる低電圧路およびトランジスタP2, D2, I2からなる高電圧路ならびにトランジスタN5のゲートには、第3の制御信号*S1が印加される。また、トランジスタN5のゲートには、第3の制御信号*S2が印加される。

出し電位 V_S のレベルの差が充分大きくなつた後、第 5 ポジション信号 S_5 は “H” から “L” に変化し、カレントミラー型増幅回路 10 が駆動されて、この増幅回路 10 から “0” 読み出し時の出力 D_0 が出力される。

[0033] なお、信号 S_2 が “H” の場合の初期状態においては、基幹電位 VR のレベルを “1” データ読み出し時の読み出し電位よりも高く設定しておき、“1” データ読み出し時に基幹電位 VR と読み出し電位 V_S のレベルが反転することがないで、“1” データの読み出しが遅くなることもない。この時の基幹電位 VR のレベルは、基幹電位低下回路 9 のトランジスタ N 30 によって決定される。

[0034] 以上述べたように本第 1 實施例によれば、記憶装置が動作状態になつた時の初期充電により、充電回路 11 は記憶装置が動作状態に変化した後、一定時間にわたり、トランジスタ P 3、P 4とともに、トランジスタ P 30、P 31 からも読み出し電位 V_S を充電

【0041】したがって、信号S2が“L”的ときは、トランジスタP4、P31が高めに出し相位の負荷トランジスタとなり、信号S2が“H”になると、トランジスタP4のみが負荷トランジスタとなる。この時、負荷トランジスタP4、P31を合わせたトランジスタ・サイズは、基幹電位VRの負荷トランジスタP14と同等の可及的に小さくすることができます。

【0035】なお、記述実例においては、基幹電位低下回路のトランジスタN30はNチャネルエンハンスマ

[0036]また、上記第1実施例においては、脚部はシント型トランジスタを用いたがメモリセルCA_iと同様に少ない電流流込となるように設定される。なお、カバレンT34の一端端子に接続される信号S₁は、信号S₂が“1”に変化した後、更に一定時間間隔でT21およびT34のゲート端子に与えられる信号S₁と同様に少ない電流流込となるように設定される。

号 * S2 と制御信号 S5 は別窓の信号であったが、同一の信号であっても良い。

[0037] また、上記第1実施例においては、各ワード数 W1 に応対する複数のダミーセル DCl を用いているが、これを 1 つのダミーセル (N チャネルトランジスタでも不揮発性トランジスタでも良い) で作つても同様の効果が得られる。

[0038] 一方、この発明の第2実施例に係る記憶装置について図 5 に従い説明する。

[0039] この第2実施例に係る記憶装置は、図 5 のように本第2実施例の記憶装置が動作状態に

ニセコのブロック回路において、イコライズ回路を削除し、試みに電位切替用電子部品「P 1」を読み出し電位発生回路 6 とカレントミラー型偏置回路 10との間に並列に設けたものである。その他の構成、すなわちモリセルアレイ 11、ミーセルアレイ 3、読み出し電位発生回路 6、基準電位発生回路 8及びカレントミラー型偏置回路 10 は、図 1-5 の説明記述装置と同様である。

[0-0401] 次に、図 6 に示す詳細な回路図に従って具体的な構成を説明する。この第 2 対比実例は、図 1-6 に示す淀川の記述装置において、ノード ND1 とノード ND3 およびノード ND2、ノード ND4 をイコライズす

る。また、負荷トランジスタ P 1-4 により、ノード ND4 は、基準電位 VR に設定される。更に、負荷トランジスタ P 4、P 3 1 により、ノード ND2 は、急速に充電される。この時、読み出し電位は、データ線への供給充電のための電流が流れるので、基準電位 VR のレベルより当初は低くなるが、充電が進むと電流値が減少して基準電位 VR のレベルへ立ち上がり、最終的に「1」に変化させると、読み出し電位が 2 を「1」から「1」に変化させる。そこで、母版 S 基准電位 VR のレベル 0 がオフし、負荷トランジスタ P 3 1 からの充電電流はストップし、トランジスタ P 4 がからののみの光電対なり、読み出し粗粒度のレベルま

0を削除するとともに、直列に接続されたPチャンネルエンハンシメントトランジスタP3.0及びP3.1からなるP-N-P-N構造の逆偏置回路を構成する。この構造は、P-N-P-N構造のレベルまでのが電が駆けられる。そして駆け出しがレベルと、駆け出しが駆け出しがレベルの

差が先が大きくなつた後、信号S5は“H”から“L”に変化し、カレントミラー型增幅回路10が駆動され、この増幅回路10から“0”読み時の出力D0、すなわち“H”が出力される。

【0043】なお、“1”読み時には、読み出し電位を有する負荷トランジスタP4、P31と、基極電位VRの負荷トランジスタP14との電流流出によって、読み出し電位が、基極電位VRより高くなることはなく、データ“1”的読み出ししが遅くなることもない。

【0044】以上述べたように第2実施例によれば、記憶装置が動作状態になつたときのデータ線への初期充電による読み出しの遅れを小さくすることが可能となり、データの読み出しを高速に行うことができる。また、イコライズする必要がないため基極電位発生回路8を複数

り、チップ面附を非常に小さくすることができる。
〔0045〕次に、この発明の第3実施例に係る不燃性半導体製造装置について、図8ないし図15を参照しつつ詳細に説明する。

す従来の記憶装置と異なる点は、基板に電位差分回路8に接続電位低下手段9を後続し、読み出し電位差分回路6と増幅回路10との間に読み出し電位初期化手段11が並列接続されている点である。したがって、この第3

実例の記憶装置は第1実施例及び第2実施例の記憶装置の特徴を組合せたものである。その他の構成、すなわちメモリセルアレイ1、ダミーセルアレイ3、読み出し電位発生回路6、基準電位発生回路8及びカレントミラー型増幅回路10は、図1-5の従来の記憶装置と略同様の構成である。

(1004-7) この第3実施例による記憶装置の具体的な構成が図9に示されている。この第3実施例の記憶装置の具体的な部品は、図9に示すように、前記第2実施例の具体的な部品と比べ、ノードND3に直列に接続され

3.1からなる居電位低下回路9は付加した構成となつてゐる。この居電位低下回路9のトランジスタN30のドラインは基電位発生回路8のノードND3に接続され、ゲートには、前記信号S₂の逆相の信号* S₂が供給されている。すなわち、信号* S₂は記憶装置が動作状態になつた後、一定時間経過後に“1”となる信号である。又、トランジスタN31のドレインはトランジスタN30のソースに接続され、ソースは接地され、ゲートには、駆動電圧V_Gが付加されている。したがつて基電位低下回路9は、記憶装置が動作状態に変化した後一定時間にわたり、基電電位V_Rを低下させる。

照して説明する。図10において、"0" レベルのデータを読み出す際の読み出し電位は前記第2実施例と同様

に、記憶装置が動作状態になった後、一定時間が経過する ($S_2 = "L"$) まで負荷ランジスタ P4、P31 により、急速充電される。また、この時、基準電位低下回路 9 により、 $S_2 = "H"$ の間、基準電位 VR のレベルは低下させられているので、レベル "0" のデータを読み出す際の読み出し電位を基準電位 VR までより高めに、充電することが可能となる。

【049】以上、第1ないし第3実施例までの3つの実施例による記憶装置について説明したが、この記憶装置は第1実施例の図3に示すようなメモリセルレイ1及びダミーセルレイ3がそれぞれ1つ設けられていることを前提としていた。しかしながら、これらの規則はこれに限定されず、メモリセルレイ1及びダミーセル3を複数設けるようにしてよい。すなはち、第1ないし

図1-3は、それぞれ第4ないし第6実施例の記憶装置を示している。
[0 0 5 0] 図1-1ないし図1-3において、第4ないし第6実施例に係る不揮発性半導体記憶装置は、前記図3のメモリーセルアレイ1、およびミーティセルアレイ3が複数個に分割された構成になっている。また、このセル

アレイ1)に対応する複数のロードコントローラ、カラムドライブ4、読み出し電位発生回路6、基板電位発生回路8、カレントミラー型増幅回路10、およびワード線WL₁、WL₂、トランジスタゲートCT1、CT2、

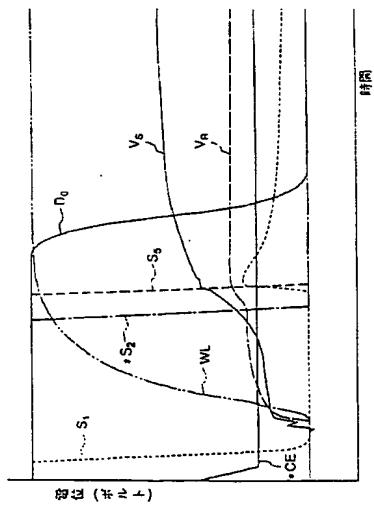
…、 C_{Tb} から構成され、それぞれモリセクション MS1、MS2 を構成している。この構成は接続装置では、セクション内の各回路は、例えば、セクションアドレスによって決定される、モリセクション例では MS1 内の回路のみが動作状態となる。この時、セクション MS1 のカレンティミラード端子回路 1 は、読み出し電位が生回路 6 の出力 VBS と、基幹電位発生回路 8 の出力 VR を比較して、選択されたモリセリル情報を共通データバス DBC に出力する。また、この時のモリセクション MS2 は、作機状態となっている。そのためセンサ信号がフロントエンド回路に送られる。また、この時、モリセクション MS2 は、作機状態となっている。

S1から、MS2に変わった場合には、セクションMS2内の各回路は、待機状態から動作状態に変わり、前記第1ないし第3各災害例同様の動作を開始することにより、高速な説明ができます。【005】

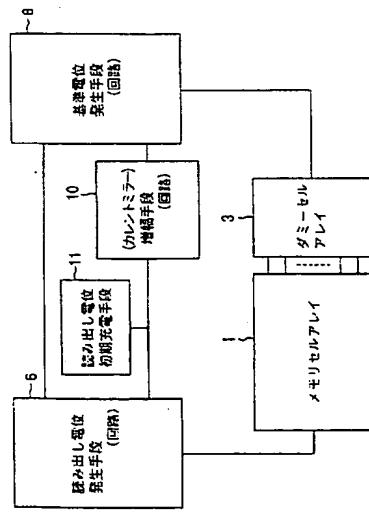
(発電の効果)以上詳細に説明したように、この差別に係る不可免性は母体供給装置によれば、データ線への初期充電が不充分な場合であっても、待機状態から動作して所定時間経過するまでの間に、蓄電池が説明が示すように「十分」に充電される。そこで、基幹電力発生回路を共有することができます。したがって、基幹電力発生回路を共有することで、起動時に発生する電流による負荷を分散することができる。

記憶装置が待機状態から動作状態に変化した場合の読み込み用シリアル通信を高速に行うことができる。

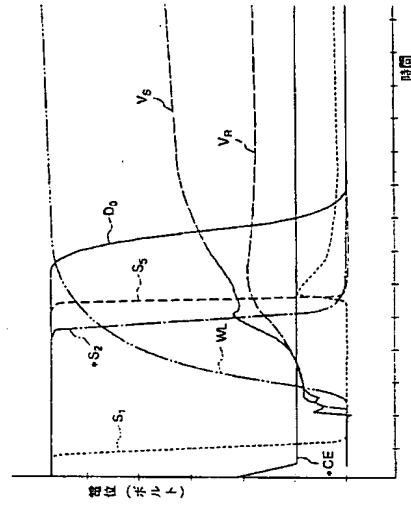
[四]



[图 5]

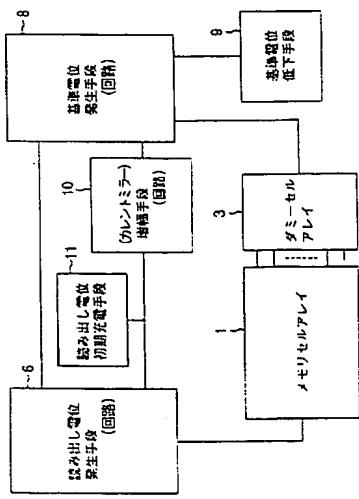


四七一



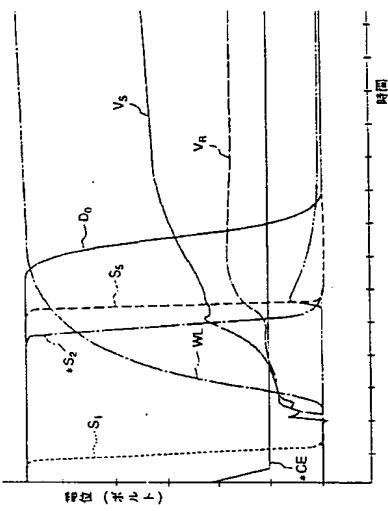
(12)

[図 8]

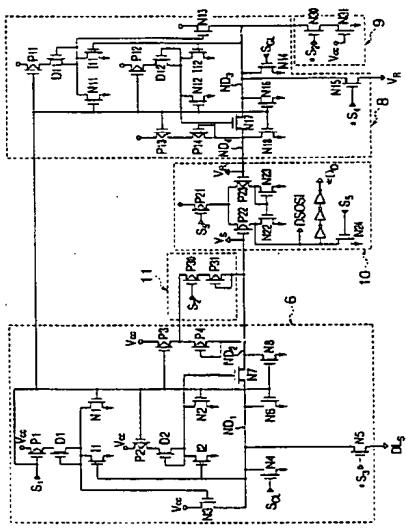


(14)

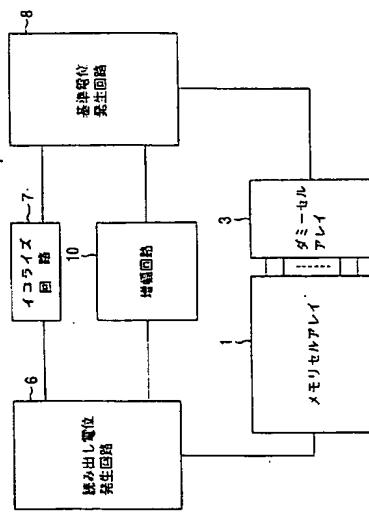
[図 10]

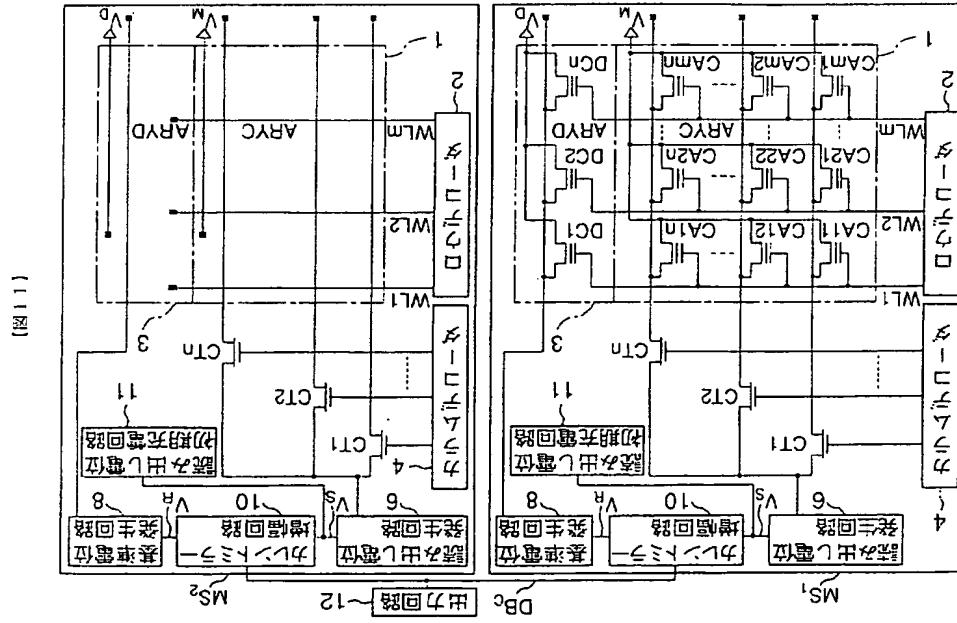
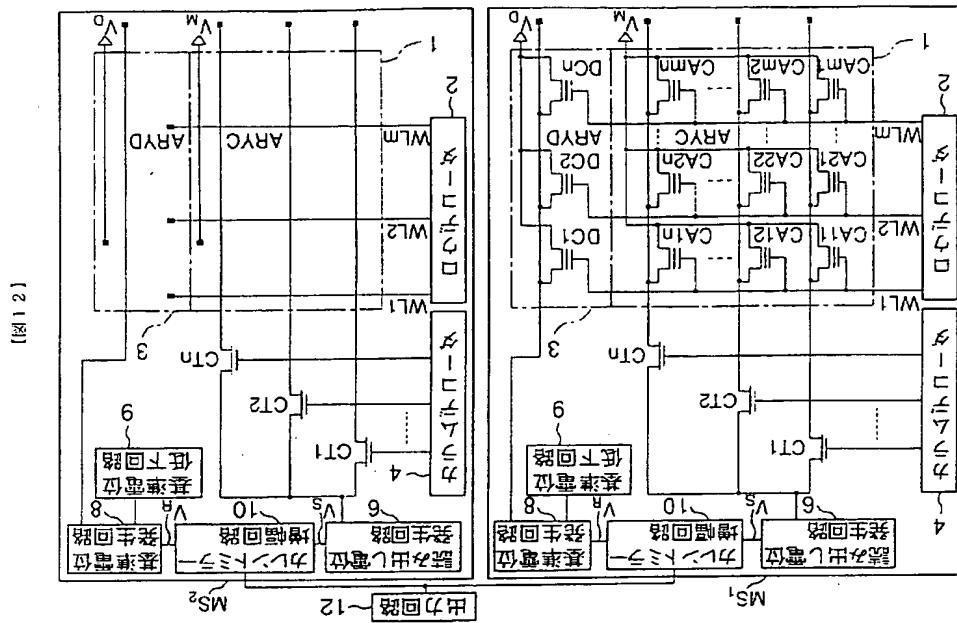


[図 9]

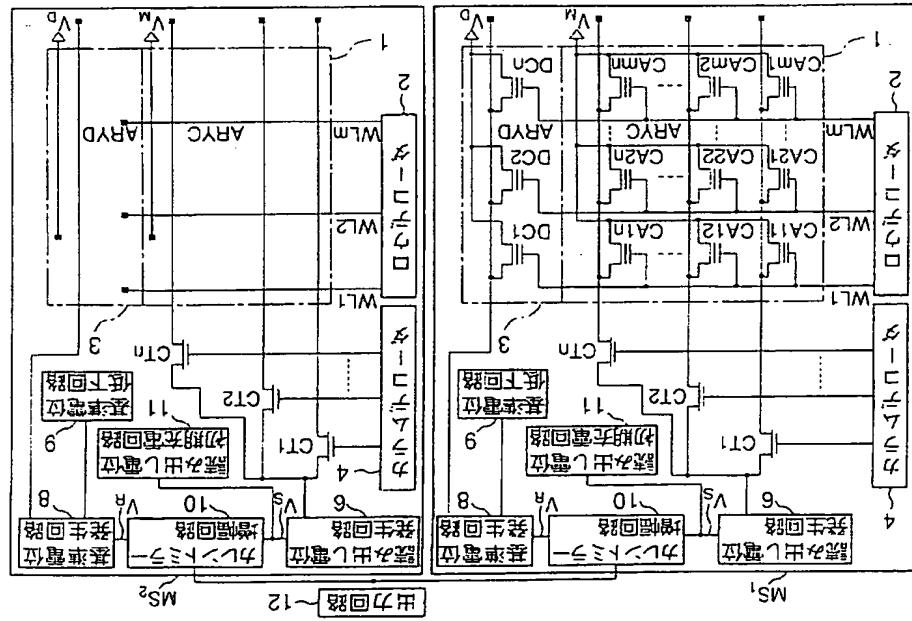


[図 15]

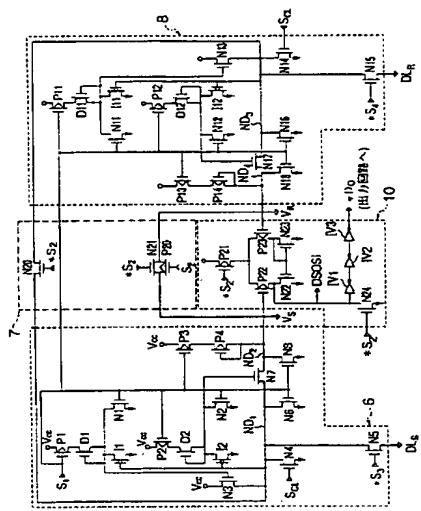




[図13]



[図16]



[図17]

